

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

3841738

Basic Patent (No,Kind,Date): JP 57104218 A2 820629 <No. of Patents: 001>

FABRICATION OF SEMICONDUCTOR DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): UDA KEIICHIROU; GOSHIMA TAKESHI; NOJIRI MASAO

IPC: *H01L-021/265;

Derwent WPI Acc No: *C 82-65041E;

JAPIO Reference No: *060189E000165;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 57104218	A2	820629	JP 80181133	A	801219 (BASIC)

Priority Data (No,Kind,Date):

JP 80181133 A 801219

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

00953918 **Image available**

FABRICATION OF SEMICONDUCTOR DEVICE

PUB. NO.: 57-104218 [JP 57104218 A]

PUBLISHED: June 29, 1982 (19820629)

INVENTOR(s): UDA KEIICHIRO

 GOSHIMA TAKESHI

 NOJIRI MASAO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 55-181133 [JP 80181133]

FILED: December 19, 1980 (19801219)

INTL CLASS: [3] H01L-021/265

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R097 (ELECTRONIC
 MATERIALS -- Metal Oxide Semiconductors, MOS); R100
 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 133, Vol. 06, No. 189, Pg. 165,
 September 28, 1982 (19820928)

ABSTRACT

PURPOSE: To remove effectively contamination of the surface of a semiconductor substrate accruing from ion implantation by irradiating a light or electron beam onto a semiconductor substrate after ion implantation.

CONSTITUTION: A semiconductor substrate 10 in which N-conduction type source and drain regions 3 and 3 are formed by implanting ions into a P-conduction type silicon substrate 1 through a field oxide layer 4, a gate electrode 5 and a window opened in the field oxide layer 4 is covered, with implantation of ions, by a contamination layer 7, affecting a characteristic of the device. Therefore, the contamination layer 7 can be removed by irradiating a laser beam 6 of, for example, an Nd:YAG laser. The similar effect can be also achieved by using the second harmonic wave of an Nd:YAG laser or light from a high-luminance flash lamp.

BEST AVAILABLE COPY

① 日本国特許庁 (JP)
② 公開特許公報 (A)

① 特許出願公開
昭57-104218

⑤ Int. Cl.³
H 01 L 21/265

識別記号

庁内整理番号
6851-5F

④ 公開 昭和57年(1982)6月29日

発明の数 1
審査請求 未請求

(全 2 頁)

④ 半導体装置の製造方法

東京都港区芝五丁目33番1号日
本電気株式会社内

② 特 願 昭55-181133

② 発 明 者 野尻倭夫

② 出 願 昭55(1980)12月19日

東京都港区芝五丁目33番1号日

② 発 明 者 宇田啓一郎

本電気株式会社内

東京都港区芝五丁目33番1号日

⑦ 出 願 人 日本電気株式会社

本電気株式会社内

東京都港区芝5丁目33番1号

② 発 明 者 五島剛士

④ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

イオン注入後の半導体基板に対し、光または電子線を照射し、前記イオン注入時に生じた表面汚染を除去する工程を含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は、イオン注入工程に伴う半導体素子表面の汚染を効果的に除去するための方法を含む半導体装置の製造方法に関する。

近年、イオン注入技術は半導体素子を作製する場合に極めて頻りに用いられる技術となっている。このようなイオン注入技術において、低電流型イオン注入では、MOSデバイスのしきい値制御、またはチャネルドープなどを行う場合には、注

入量が $10^{11} \sim 10^{12}$ ions/cm²と比較的低濃度のために、注入時間は短く、注入電流も小さいので、注入中に半導体基板が汚染されるということは特に問題とはならなかった。しかし、最近ではMOSデバイスのソース・ドレイン、またはバイポーラデバイスのエミッタなどの形成をもイオン注入で行う場合がある。このプロセスを実施するには、必然的に大電流型イオン注入装置が必要となり、しかも長時間の注入が行なわれる。この時、半導体基板の表面が直接露出している場合は、該半導体基板の近傍に存在しているカーボンなどが基板表面に汚染物として付着し、デバイスの特性に悪影響を与える結果となる。

本発明の目的は、このようにイオン注入に伴って生じた半導体基板表面の汚染を、極めて効果的に除去する工程を含む半導体装置の製造方法を提供するにある。

本発明方法は、イオン注入後の半導体基板に対し、光または電子線を照射し、前記イオン注入時に生じた表面汚染を除去する工程を含んでいる。

通常、レーザ光または高輝度のフラッシュランプの光をある材料に照射する場合は、照射光の波長と被照射材料の性質（誘電率、吸収係数など）により光が侵入する深さが決まる。表面汚染の除去のためには、試料のごく表面付近だけ加熱されれば目的は達成されるので、使用する光の波長としてはなるべく短い方が好ましい。Q-スイッチをかけたYAGレーザは、数十ナノ秒～数百ナノ秒程度のパルス幅を有するレーザ光が得られるので、試料のごく表面だけを極めて短時間の加熱により、内層の不純物分布を変えずに汚染層だけを除去するためには好適なものである。また、ルビーレーザでも同様に用いられる。一方、アルゴシレーザなどのCWレーザでは、パワー、走査速度などを適当に設定して、ビームのエネルギー密度、実効的な照射時間を制御することにより、上記のYAGレーザなどと同様に用いることができる。

他方、電子線照射によっても表面汚染のフラッシングが可能である。この場合は、電子ビーム電圧、電流値を適当に選択することにより効果的表

面汚染の除去ができる。

つぎに本発明を実施例により説明する。

第1図は本発明の一実施例を説明するための被照射半導体基板の断面図である。第1図において、P導電型のシリコン基板1にゲート酸化膜2およびフィールド酸化膜4が形成され、さらに、ゲート酸化膜2の表面にゲート電極5が設けられ、それから、フィールド酸化膜4に形成された窓を通して、イオン注入によりN導電型のソース・ドレイン領域3, 3が形成された半導体基板10は、このイオン注入に伴ない、表面が汚染層7により覆われることになる。この汚染層7はつぎの熱処理工程でも除去されず、デバイスの特性に悪影響を与える。そこで、例えば、Nd:YAGレーザの基本波長で、1パルス当り2～5 J/cm²のエネルギー密度のレーザ光6を半導体基板10の汚染層7に照射することにより汚染層7は除去された。また、Nd:YAGレーザの第2高調波を使用した場合、1パルス当り0.2～0.5 J/cm²のエネルギー密度で半導体基板10の表面を照射すること

により汚染層を除去することができた。このようにして、熱処理前に付着汚染層を除去しておけば、前述したようなデバイス特性への悪影響は全く見出されなくなる。

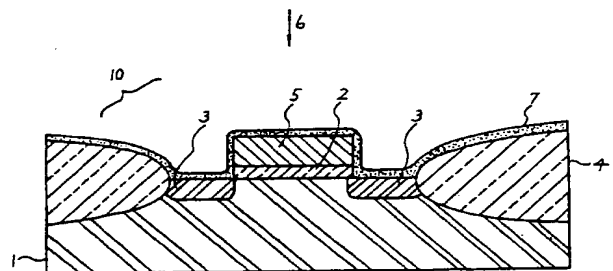
なお、上例はMOSデバイスを例として説明したが、上記以外のシリコンデバイス、または化合物半導体デバイスなどにも本発明は有効であり、また照射光としてレーザ光の他に高輝度のフラッシュランプからの光によっても同様の効果が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例を説明するための被照射半導体基板の断面図である。

1……P導電型シリコン基板、2……ゲート絶縁膜、3……イオン注入によるN導電型のソース・ドレイン領域、4……フィールド酸化膜、5……ゲート電極、6……レーザ光、7……汚染層、10……汚染層をもつ半導体基板。

代理人 井理士 内 原 晋



第1図